

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034728

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

G06F 9/46

G06F 9/46

(21)Application number : 07-207414

(71)Applicant : SONY COMPUTER ENTERTAINMENT:KK

(22)Date of filing : 21.07.1995

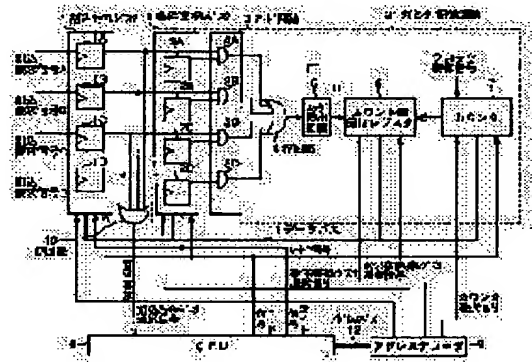
(72)Inventor : YAMAMOTO YASUYUKI

(54) DEVICE AND METHOD FOR PROCESSING DATA

(57)Abstract:

PROBLEM TO BE SOLVED: To easily and exactly detect and hold the timing of arbitrary and plural interrupting requests.

SOLUTION: Plural interrupting request signals A-D are latched by correspondent interruption latch registers 1A-1D. By writing a high-level signal into any prescribed one of condition selecting registers 2A-2D, any prescribed one of outputs from the interruption latch registers 1A-1D is outputted through AND circuits 3A-3D to an OR circuit 4. The edge of the signal outputted from the OR circuit 4 to be changed from the low level to the high level is detected by an edge detection circuit 5 and when a pulse generated at detection timing is inputted to a count value holding register 6, the count value holding register 6 holds the count value of a counter 7 at that time.



LEGAL STATUS

[Date of request for examination] 07.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3599437

[Date of registration] 24.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34728

(43) 公開日 平成9年(1997) 2月7日

(51) Int.Cl.⁴

G 0 6 F 9/46

識別記号

3 2 2

3 1 0

序内整理番号

F I

G 0 6 F 9/46

3 2 2 C

3 1 0 N

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号

特願平7-207414

(22) 出願日

平成7年(1995) 7月21日

(71) 出願人 395015319

株式会社ソニー・コンピュータエンタテインメント

東京都港区赤坂8丁目1番22号

(72) 発明者 山本 靖之

東京都港区赤坂8丁目1番22号 株式会社
ソニー・コンピュータエンタテインメント
内

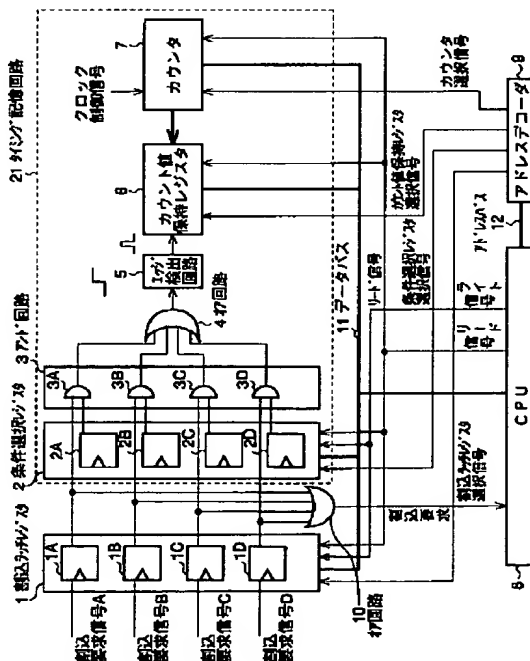
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 データ処理装置および方法

(57) 【要約】

【課題】 任意の、かつ複数の割込要求のタイミングを、簡単かつ正確に検出、保持する。

【解決手段】 複数の割込要求信号A乃至Dを、対応する割込ラッチレジスタ1A乃至1Dにラッチさせる。条件選択レジスタ2A乃至2Dの所定のものに、高レベルの信号を書き込むことで、割込ラッチレジスタ1A乃至1Dの出力のうち、所定のものを、アンド回路3A乃至3Dを介して、オア回路4に出力する。オア回路4より出力された信号の低レベルから高レベルに変化するエッジをエッジ検出回路5で検出し、検出タイミングで発生されるパルスがカウント値保持レジスタ6に入力されたとき、カウント値保持レジスタ6は、カウンタ7のそのときのカウント値を保持する。



【特許請求の範囲】

【請求項1】 複数の割り込み要求を保持する割込要求保持手段と、

複数の前記割り込み要求のうちの所定のものを選択する選択手段と、

計数動作を行う計数手段と、

前記計数手段の計数動作を、前記選択手段により選択された前記割り込み要求に対応して制御する計数制御手段とを備えることを特徴とするデータ処理装置。

【請求項2】 前記選択手段は、前記割込要求保持手段により保持された複数の前記割り込み要求の中から所定のものを選択することを特徴とする請求項1に記載のデータ処理装置。

【請求項3】 複数の割り込み要求を保持し、複数の前記割り込み要求のうちの所定のものを選択し、計数動作を行い、選択された前記割り込み要求に対応して計数動作を制御することを特徴とするデータ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ処理装置および方法に関し、特に任意の複数の割り込み要求のタイミングを、簡単かつ正確に検出し、保持することができるようにしたデータ処理装置および方法に関する。

【0002】

【従来の技術】コンピュータのCPUが多くの処理を効率的に行うことができるように、所定のプログラムを実行中に他のプログラムを実行させたい場合、CPUに対して割り込み要求を入力するようにしている。CPUは、割り込み要求を受けたとき、現在実行中のプログラムを中断し、優先順位および緊急性のより高い処理を実行する。

【0003】優先順位にはいくつかのレベルがあり、すべての割り込み要求を緊急に実行することはできない。例えば、時間的に連続している必要がある一連の処理を実行中の場合、割り込み処理は禁止される。また、割り込み処理Aが割り込み処理Bよりも優先される場合、割り込み処理Aが終了するまで割り込み処理Bの処理は禁止される。

【0004】また、CPUが、例えばDMAコントローラなどの別のデバイスにバス権を委ねている場合、CPUは、割り込みを受け付けても、そのプログラムを読み込むことができないことがある。さらに、割り込みプログラムが大きい場合、その中の所定の処理に到達するまでの時間が無視できないほど長くなることもある。

【0005】以上のように、割り込み処理といえども、必ずしも緊急に処理されるとは限らない。従って、例えば、割り込み処理ルーチン内で、カウンタの値を読み取り、その割り込みの発生したタイミングを検出しようとしても、誤差が発生し、しかも、その誤差は一定ではな

い。

【0006】そこで、特定の割り込み信号をトリガとして、計時動作を行っているカウンタのカウント値をレジスタに保持したり、あるいはカウント動作を停止することにより、割り込み信号の発生タイミングを正確に検出し、保存するようにすることが行われている。

【0007】これは、例えば、ライトペンが表示モニタの発光を検知した瞬間の画面の縦方向および横方向の座標値（水平ラインの数およびピクセルの数）を読み取るといったような用途に適用されている。

【0008】

【発明が解決しようとする課題】しかしながら、このようなカウンタのカウント値を割り込み要求に対応して保持する従来のシステムは、カウンタの用途がプログラム毎に変化するため、汎用性を持たせることが困難である課題があった。また、2以上の割り込みのタイミングを、簡単かつ正確に検出し、保持することが困難である課題があった。

【0009】本発明はこのような状況に鑑みてなされたものであり、任意のかつ複数の割り込みの発生タイミングを、簡単かつ正確に検出し、保持することができるようにするものである。

【0010】

【課題を解決するための手段】請求項1に記載のデータ処理装置は、複数の割り込み要求のうちの所定のものを選択する選択手段と、計数動作を行う計数手段と、計数手段の計数動作を、選択手段により選択された割り込み要求に対応して制御する計数制御手段とを備えることを特徴とする。

【0011】請求項3に記載のデータ処理方法は、複数の割り込み要求のうちの所定のものを選択し、計数動作を行い、選択された割り込み要求に対応して計数動作を制御することを特徴とする。

【0012】請求項1に記載のデータ処理装置においては、選択手段が、複数の割り込み要求のうちの所定のものを選択し、計数手段が、計数動作を行い、計数制御手段が、計数手段の計数動作を、選択手段により選択された割り込み要求に対応して制御する。

【0013】請求項3に記載のデータ処理方法においては、計数動作が、選択された割り込み要求に対応して制御される。

【0014】

【発明の実施の形態】図1は、本発明のデータ処理装置の一実施例の構成を示すブロック図である。この実施例においては、図示せぬ装置から出力された複数（この実施例の場合、4個）の割込要求信号A乃至Dが、対応する4個の割込ラッチレジスタ1A乃至1D（割込要求保持手段）に供給され、ラッチされるようになされている。割込ラッチレジスタ1A乃至1D（以下、適宜、これらを総称して、割込ラッチレジスタ1と称する）の出

力は、タイミング記憶回路21のアンド回路3A乃至3D（以下、適宜、これらを総称して、アンド回路3と称する）の一方の入力に供給されている。アンド回路3A乃至3Dの他方の入力には、条件選択レジスタ2A乃至2D（以下、適宜、これらを総称して、条件選択レジスタ2と称する）（選択手段）の出力が、それぞれ供給されている。

【0015】アンド回路3A乃至3Dの論理積演算出力は、オア回路4により論理和演算が施された後、エッジ検出回路5に出力されている。エッジ検出回路5は、オア回路4の出力の低レベルから高レベルへの立ち上がりエッジを検出したとき、パルスを出力するようになされている。カウント値保持レジスタ6（計数制御手段）は、エッジ検出回路5よりパルスが入力されたとき、カウンタ7（計数手段）のカウント値を保持するようになされている。

【0016】カウンタ7は、図示せぬ回路から供給されるクロックを計数するようになされている。また、そのカウント値は、図示せぬ回路から供給される制御信号に対応してリセットされるようになされている（但し、このような処理を、CPU8に実行させるように構成することも可能である）。

【0017】割込ラッチレジスタ1A乃至1Dの出力はまた、オア回路10に入力され、論理和演算が施された後、その演算結果が割込要求信号として、CPU8に出力されるようになされている。CPU8は、アドレスバス12を介して、アドレスデコーダ9に所定のアドレスを供給することで、アドレスデコーダ9に、割込ラッチレジスタ1A乃至1Dを選択する割込ラッチレジスタ選択信号、条件選択レジスタ2A乃至2Dを選択する条件選択レジスタ選択信号、カウント値保持レジスタ6を選択するカウント値保持レジスタ選択信号、または、カウンタ7を選択するカウンタ選択信号を出力させることができるようになされている。

【0018】また、CPU8は、ライト信号を出力し、割込ラッチレジスタ1A乃至1Dまたは条件選択レジスタ2A乃至2Dに、それぞれ所定値（所定のレベルの信号）を書き込ませる（ラッチさせる）ことができるようになされている。また、CPU8は、リード信号を出力し、割込ラッチレジスタ1A乃至1D、条件選択レジスタ2A乃至2D、カウント値保持レジスタ6またはカウンタ7のカウント値を、データバス11を介して読み込むことができるようになされている。

【0019】図2は、図1に示した実施例をゲーム装置に応用した場合の構成例を表している。この実施例においては、銃41Aの受光素子42Aの出力が、割込要求信号Cとして割込ラッチレジスタ1Cに供給され、その引き金スイッチ43Aの操作に対応して発生する信号が、割込要求信号Aとして割込ラッチレジスタ1Aに供給されるようになされている。また、同様に、銃41B

の受光素子42Bの出力が、割込要求信号Dとして割込ラッチレジスタ1Dに供給され、引き金スイッチ43Bの操作に対応して発生する信号が、割込要求信号Bとして割込ラッチレジスタ1Bに供給されるようになされている。

【0020】銃41A、41Bの受光素子42A、42Bは、鋭い指向性を有するように構成されている。従って、モニタ51がグラフィックエンジン31からの画像信号に対応して図中左上から右下方向に走査されているとき、指向された位置の画素（指向点の画素）が光ったとき、検出信号を出力し、それ以外の残像の光が入力された場合においては、検出信号を出力しないようになされている。

【0021】この実施例においては、図1に示したように、条件選択レジスタ2、アンド回路3、オア回路4、エッジ検出回路5、カウント値保持レジスタ6およびカウンタ7を有するタイミング記憶回路21が、タイミング記憶回路21-1乃至21-4として4個設けられている。そして、これらのタイミング記憶回路21-1乃至21-4には、割込ラッチレジスタ1A乃至1Dの出力が、それぞれ供給されている。

【0022】また、この実施例においては、所定の表示画像データを発生し、モニタ51に出力表示させるグラフィックエンジン31が設けられている。そして、このグラフィックエンジン31が、モニタ51に表示する画像の画素（ピクセル）単位で発生するピクセルクロックが、タイミング記憶回路21-3と21-4のカウンタ7にクロックとして供給されている。また、グラフィックエンジン31は、モニタ51に表示する画像の水平走査線の終了のタイミングにおいて発生する水平ブランク信号を、タイミング記憶回路21-1乃至21-4のカウンタ7に出力するとともに、各フィールドの終了のタイミングにおいて発生する垂直ブランク信号を、タイミング記憶回路21-1と21-2のカウンタ7に出力するようになされている。

【0023】タイミング記憶回路21-1と21-2のカウンタ7は、水平ブランク信号をクロックとしてカウントし、そのカウント値を垂直ブランク信号によりリセットするようになされている。

【0024】また、タイミング記憶回路21-3と21-4のカウンタ7は、ピクセルクロックをカウントし、そのカウント値を、垂直ブランク信号によりリセットするようになされている。

【0025】次に、その動作について説明する。グラフィックエンジン31は、所定の画像データを発生し、モニタ51に出力し、表示させる。モニタ51は、グラフィックエンジン31からの画像データに対応して、左上から右下方向に走査点を順次移動させることで画像を表示する。人間の目には走査点の光だけでなく、走査点が通り過ぎた後の残像も光として感知されるため、モニタ

5 1に表示された画像を1枚の画像として認識することができる。

【0026】しかしながら、上述したように、銃41 A、41 Bは、鋭い指向性を有するように構成されており、銃41 A、41 Bが指向している（狙っている）範囲内のピクセルが走査点として光った場合においてのみ、受光素子42 A、42 Bが検出信号を出力する。例えば、NTSC方式の映像信号の場合、1フィールドの走査時間は、1/60秒とされている。従って、使用者が、銃41 A、41 Bをモニタ51の表示画像の所定の表示位置に狙いを定めると、その狙っている位置が、1/60秒周期で検出され、受光素子42 A、42 Bがその検出信号としては割込要求信号Cまたは割込要求信号Dを出力することになる。割込要求信号Cは、割込ラッチレジスタ1 Cによりラッチされ、割込要求信号Dは、割込ラッチレジスタ1 Dにラッチされる。

【0027】割込ラッチレジスタ1にラッチされたデータは、タイミング記憶回路21-1乃至21-4のいずれにも供給される。そして、上述したように、この4つのタイミング記憶回路21-1乃至21-4は、基本的に、図1に示したように、同様の構成を有するものとされている（すなわち、汎用性を有するものとされている）。そこで、CPU8は、4つのタイミング記憶回路21-1乃至21-4に、それぞれ所定のタイミングを記憶させるようにするために、それぞれの条件選択レジスタ2に対して、所定の設定を行う。

【0028】例えば、CPU8は、タイミング記憶回路21-1に、銃41 Aのモニタ51の表示面に対する指向点のY座標を検出させるようにする場合、その4個の条件検出レジスタ2 A乃至2 Dのうちの条件選択レジスタ2 Cに対して、ライト信号を出力し、データバス11を介して高レベルの信号を供給し、これを保持させる。その他の3つの条件選択レジスタ2 A、2 B、2 Dには、低レベルの信号を保持させるようにする。

【0029】従って、タイミング記憶回路21-1のアンド回路3 A、3 B、3 Dの出力は、割込ラッチレジスタ1 A、1 B、1 Dより、高レベルの信号が供給されたとしても、常に低レベルのままとなる。これに対して、アンド回路3 Cは、割込ラッチレジスタ1 Cが高レベルの信号を出力したとき、高レベルの信号を出力する。これにより、タイミング記憶回路21-1は、割込要求信号Cに対するタイミング検出動作を行うようになる。

【0030】アンド回路3 Cの出力は、オア回路4を介して、エッジ検出回路5に供給される。従って、割込要求信号Cが割込ラッチレジスタ1 Cによりラッチされ、その出力が低レベルから高レベルに変化したとき、アンド回路3 Cの出力も低レベルから高レベルに変化し、エッジ検出回路5は、この低レベルから高レベルに変化するエッジを検出する。そして、エッジ検出回路5は、検出したタイミングにおいてパルスを発生し、カウント値

保持レジスタ6に出力する。カウント値保持レジスタ6は、エッジ検出回路5よりパルスが入力されたとき、そのときのカウンタ7のカウント値を保持する。

【0031】タイミング記憶回路21-1のカウンタ7は、グラフィックエンジン31が出力する水平blank信号をクロックとしてその数を計数し、垂直blank信号が入力されるとそのカウント値をリセットする動作を繰り返している。すなわち、カウンタ7は、上から数えた水平走査線の数を計数していることになる。その結果、カウント値保持レジスタ6が、エッジ検出回路5よりパルスが入力されたタイミングにおいてカウンタ7のカウント値を保持すると、その値は、銃41 Bの指向点における水平走査線の上から順番に数えた数、すなわち、その指向点のY座標 Y_c に対応している。

【0032】一方、タイミング記憶回路21-3は、銃41 Aの指向点のX座標 X_c を検出する目的で用いられる。このため、CPU8は、タイミング記憶回路21-3の条件選択レジスタ2 A乃至2 Dのうち、条件選択レジスタ2 Cに、上述した場合と同様にして、高レベルの信号を保持させ、その他の条件選択レジスタ2 A、2 B、2 Dには、低レベルの信号を保持させる。これにより、タイミング記憶回路21-1における場合と同様に、タイミング記憶回路21-3のアンド回路3 A、3 B、3 Dは、常にその出力が低レベルとなり、タイミング記憶回路21-3は、割込要求信号Cのみを受け付けることになる。

【0033】そして、割込要求信号Cが、割込ラッチレジスタ1 Cによりラッチされ、その出力が、アンド回路3 C、オア回路4を介して、エッジ検出回路5に入力され、そのエッジが検出されたとき、カウント値保持レジスタ6は、エッジ検出回路5がパルスを出力するタイミングにおいて、カウンタ7のカウント値を保持する。

【0034】このタイミング記憶回路21-3のカウンタ7は、グラフィックエンジン31が発生するピクセルクロックを計数し、水平走査の終了のタイミングにおいて発生する水平blank信号が入力されたとき、その計数値をリセットする動作を繰り返している。従って、カウント値保持レジスタ6に保持されるカウント値は、銃41 Aの指向点のX座標 X_c に対応している。

【0035】一方、タイミング記憶回路21-2は、銃41 Bの指向点のY座標 Y_b を検出するために用いられ、タイミング記憶回路21-4は、銃41 Bの指向点のX座標 X_b を検出するために用いられる。このため、CPU8は、タイミング記憶回路21-2と21-4の条件選択レジスタ2 Dに高レベルの信号を保持させ、その他の条件選択レジスタ2 A乃至2 Cには、低レベルの信号を保持させる。これにより、アンド回路3 A乃至3 Cの出力は、常に低レベルとなり、アンド回路3 Dの出力のみが、割込ラッチレジスタ1 Dが割込要求信号Dをラッチしたとき、高レベルの信号を出力することにな

る。

【0036】タイミング記憶回路21-2のカウンタ7は、タイミング記憶回路21-1のカウンタ7と同様に、グラフィックエンジン31が出力する水平走査線の数をカウントしている。また、タイミング記憶回路21-4のカウンタ7は、ピクセルクロックの数をカウントしている。従って、タイミング記憶回路21-2のカウント値保持レジスタ6は、銃41Bの指向点のY座標（水平走査線の数）Y₀を保持し、タイミング記憶回路21-4のカウント値保持レジスタ6は、銃41Bの指向点のX座標（ピクセルの数）X₀を保持することになる。

【0037】以上のようにして、割込要求信号CおよびDが発生したタイミングの座標が、タイミング記憶回路21-1乃至21-4に記憶されるため、オア回路10を介してCPU8に割込要求信号が入力されたとしても、CPU8は、割込要求信号CおよびDに対する処理を緊急に行う必要がなくなり、それ以外の割り込みを優先して処理することが可能となる。

【0038】CPU8は、オア回路10を介して、割込要求信号CまたはDに対応する割込要求信号の入力を受けたとき、この割込要求信号に対応して、それぞれの銃41A、41Bの指向点に対して、カーソルを表示させる割り込みルーチン処理を実行する。

【0039】この処理に対応して、CPU8は、グラフィックエンジン31を制御し、モニタ51に、銃41Aの指向点（X_c、Y_c）にカーソルK_cを、また、銃41Bの指向点（X₀、Y₀）にカーソルK₀を、それぞれ表示させる。これにより、銃41A、41Bの使用者は、自分が使用している銃を向けている（狙っている）点を確認することができる。

【0040】尚、この実施例においては、タイミング記憶回路21-1乃至21-4は、引き金スイッチ43A、43Bが操作されたとき発生する割込要求信号A、Bのタイミング検出には用いられない。引き金スイッチ43A、43Bの操作に対応して割込要求信号AまたはBが発生したとき、これが割り込みラッチレジスタ1Aまたは1Bでそれぞれラッチされ、それぞれに対応する割込要求信号が、オア回路10を介してCPU8に入力される。CPU8は、この入力に対応して、別のプログラムで引き金がひかれた場合における画像処理ルーチン呼び出し、実行する。

【0041】以上の実施例においては、タイミング記憶回路21-1乃至21-4により、銃41A、41Bの指向点の座標を検出するようにしたが、それぞれの銃が発砲されたタイミングを記憶するようにすることも可能もある。この場合においては、タイミング記憶回路21-1と21-3の条件選択レジスタ2Aに、高レベルの信号を書き込み、条件選択レジスタ2B乃至2Dに、低レベルの信号を書き込む。また、タイミング記憶回路2

1-2と21-4の条件選択レジスタ2Bに、高レベルの信号を書き込み、それ以外の条件選択レジスタ2A、2C、2Dには低レベルの信号を書き込む。

【0042】このようにすることで、タイミング記憶回路21-1は、銃41Aの引き金スイッチ43Aが操作された時刻を、水平走査線の数として検出、記憶し、タイミング記憶回路21-3は、引き金スイッチ43Aの操作された時刻を、各水平走査において、水平走査が開始されたときからのピクセルの数として検出、記憶することになる。同様に、タイミング記憶回路21-2には、銃41Bの引き金スイッチ43Bを操作したタイミングが、水平走査線の数として検出、記憶され、タイミング記憶回路21-4には、引き金スイッチ43Bの操作したタイミングが、水平走査開始点からのピクセルの数として検出、記憶される。

【0043】以上のように、基本的に図1に示す構成のタイミング記憶回路21の条件選択レジスタ2に所定の設定を行うことで、タイミング記憶回路21に種々の割込要求信号に対応する計数値を保持させることが可能となる。

【0044】尚、上記実施例では、エッジ検出回路5の出力するパルスに同期してカウンタ7のカウント値を保持するようにしたが、カウンタ7の計数動作を直接制御するようにすることもできる。

【0045】以上、本発明をゲーム装置に応用した場合を例として説明したが、本発明はその他のデータ処理装置に応用することができる。

【0046】

【発明の効果】以上の如く、請求項1に記載のデータ処理装置および請求項3に記載のデータ処理方法によれば、複数の割り込み要求のうちの所定のものを選択し、選択された割り込み要求に対応して計数動作を制御するようにしたので、任意の、かつ複数の割込要求のタイミングを、簡単かつ正確に検出、保持することが可能となる。その結果、割込プログラムの構成を簡略化することができる。また、割込処理の優先順位の自由度が高くなり、システムの応答性を向上させることができる。

【図面の簡単な説明】

【図1】本発明のデータ処理装置の構成例を示すブロック図である。

【図2】図1の実施例を適用したゲーム装置の構成例を示すブロック図である。

【符号の説明】

- 1、1A乃至1D 割込ラッチレジスタ
- 2、2A乃至2D 条件選択レジスタ
- 5 エッジ検出回路
- 6 カウント値保持レジスタ
- 7 カウンタ
- 8 CPU
- 9 アドレスデコーダ

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成14年4月19日(2002.4.19)

【公開番号】特開平9-34728
 【公開日】平成9年2月7日(1997.2.7)
 【年通号数】公開特許公報9-348
 【出願番号】特願平7-207414
 【国際特許分類第7版】

G06F 9/46 322
 310

【F I】

G06F 9/46 322 C
 310 N

【手続補正書】

【提出日】平成14年1月7日(2002.1.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 計数動作を行う計数手段を備えてなる、
複数種類の割り込み要求を受け付けるデータ処理装置であって、
割り込み要求を受け付けると共に、それを保持する割り
込み要求保持手段と、
前記複数種類の割り込み要求の種類を特定するための情報
が書き込み可能とされており、書き込まれたその情報に
基いて、前記割り込み要求保持手段が受け付けた割り込み要
求の種類を特定する選択手段と、
前記計数手段から、計数についての情報を受け付けると
共に、前記選択手段が前記割り込み要求の種類を特定し
た時点における前記計数についての情報を保持する保持
手段と、
を備えることを特徴とするデータ処理装置。

【請求項2】 前記割り込み要求保持手段は、割り込み要求を受け付ける複数の割り込みレジスタを含んでいると共に、
 前記選択手段は、前記複数の割り込みレジスタのそれぞれに対応させて設けられた条件選択レジスタ、及びア
 ンド回路を含んでおり、
 前記条件選択レジスタは、前記複数種類の割り込み要求の
 種類を特定するための情報が書き込み可能とされると共に、
 前記アンド回路は、対応した前記割り込み要求保持手段
 が受け付けた割り込み要求を受け付け、これと前記条件
 選択レジスタに書き込まれた前記情報とに基いて、所定
 の信号を生成するようにされており、
 アンド回路が生成した前記所定の信号を受け付けた時点

における前記計数についての情報を前記保持手段が保持
 するようになっている、

請求項1記載のデータ処理装置。

【請求項3】 計数動作を行う計数手段と、複数種類の
 割り込み要求の種類を特定するための情報が書き込み可能
 とされた選択手段と、を備えてなる、複数種類の割り込
 み要求を受け付けるデータ処理装置にて実行される方法
 であって、

前記データ処理装置が、

前記選択手段に、前記複数種類の割り込み要求の種類を特
 定するための情報を書き込む過程、

割り込み要求を受け付ける過程、

受け付けたその割り込み要求を保持する過程、

前記選択手段に書き込まれた前記情報に基いて、受け付
 けた前記割り込み要求の種類を特定する過程、

前記計数手段から、計数についての情報を受け付けると
 共に、前記割り込み要求の種類を特定した時点における
 前記計数についての情報を保持する過程、

を含む、データ処理方法。

【請求項4】 計数動作を行うカウンタ、及び各々異なる
 割り込み要求を受け付けると共に、それを保持する複
 数の割り込みレジスタに接続されており、前記割り込
 みレジスタが受け付けた複数種類の割り込み要求があっ
 たタイミングについての情報を保持するタイミング記憶
 回路であって、

前記複数の割り込みレジスタのそれぞれに対応させて
 設けられた複数の条件選択レジスタ、及び複数のアンド
 回路と、前記複数のアンド回路からの出力、及び前記カ
 ウンタからの計数についての情報を受け付けるカウン
 ト値保持レジスタと、を備えており、

前記条件選択レジスタは、前記複数種類の割り込み要求の
 種類を特定するための情報が書き込み可能とされ、

前記アンド回路は、対応した前記割り込みレジスタが
 受け付けた割り込み要求を受け付け、これと前記条件選

択レジスタに書き込まれた前記情報とに基いて、所定の信号を生成するようにされると共に、
前記カウント値保持レジスタは、前記所定の信号を受け付けた時点における前記計数についての情報を保持するようになっている、
タイミング記憶回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】上記課題を解決する本発明によるデータ処理装置は、以下のようなものである。該データ処理装置は、計数動作を行う計数手段を備えてなる、複数種類の割り込み要求を受け付けるデータ処理装置である。そして、割り込み要求を受け付けると共に、それを保持する割り込み要求保持手段と、前記複数種類の割り込み要求の種類を特定するための情報が書き込み可能とされており、書き込まれたその情報に基いて、前記割り込み要求保持手段が受け付けた割り込み要求の種類を特定する選択手段と、前記計数手段から、計数についての情報を受け付けると共に、前記選択手段が前記割り込み要求の種類を特定した時点における前記計数についての情報を保持する保持手段と、を備えることを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】上記課題を解決する本発明によるデータ処理装置は、以下のようなものとしてもよい。前記割り込み要求保持手段は、割り込み要求を受け付ける複数の割込ラッチレジスタを含んでいると共に、前記選択手段は、前記複数種類の割込ラッチレジスタのそれぞれに対応させて設けられた条件選択レジスタ、及びアンド回路を含んでおり、前記条件選択レジスタは、前記複数種類の割り込み要求の種類を特定するための情報が書き込み可能とされると共に、前記アンド回路は、対応した前記割り込み要求保持手段が受け付けた割り込み要求を受け付け、これと前記条件選択レジスタに書き込まれた前記情報とに基いて、所定の信号を生成するようにされており、アンド回路が生成した前記所定の信号を受け付けた時点における前記計数についての情報を前記保持手段が保持するようになっていてもよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】上記課題を解決する本発明によるタイミング記憶回路は、以下のようなものである。該タイミング記憶回路は、計数動作を行うカウンタ、及び各々異なる割り込み要求を受け付けると共に、それを保持する複数の割込ラッチレジスタに接続されており、前記割込ラッチレジスタが受け付けた複数種類の割り込み要求があったタイミングについての情報を保持するタイミング記憶回路である。そして、前記複数の割込ラッチレジスタのそれぞれに対応させて設けられた複数の条件選択レジスタ、及び複数のアンド回路と、前記複数のアンド回路からの出力、及び前記カウンタからの計数についての情報を受け付けるカウント値保持レジスタと、を備えており、前記条件選択レジスタは、前記複数種類の割り込み要求の種類を特定するための情報が書き込み可能とされ、前記アンド回路は、対応した前記割込ラッチレジスタが受け付けた割り込み要求を受け付け、これと前記条件選択レジスタに書き込まれた前記情報とに基いて、所定の信号を生成するようにされると共に、前記カウント値保持レジスタは、前記所定の信号を受け付けた時点における前記計数についての情報を保持するようになっている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】上記課題を解決する本発明によるデータ処理方法は、以下のようなものである。該データ処理方法は、計数動作を行う計数手段と、複数種類の割り込み要求の種類を特定するための情報が書き込み可能とされた選択手段と、を備えてなる、複数種類の割り込み要求を受け付けるデータ処理装置にて実行される方法である。そして、前記データ処理装置が、前記選択手段に、前記複数種類の割り込み要求の種類を特定するための情報を書き込む過程、割り込み要求を受け付ける過程、受け付けたその割り込み要求を保持する過程、前記選択手段に書き込まれた前記情報に基いて、受け付けた前記割り込み要求の種類を特定する過程、前記計数手段から、計数についての情報を受け付けると共に、前記割り込み要求の種類を特定した時点における前記計数についての情報を保持する過程、を含む。